

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-190709

(43)Date of publication of application : 05.07.2002

(51)Int.Cl.

H03B 5/12

(21)Application number : 2000-390227

(71)Applicant : KAWASAKI MICROELECTRONICS KK

(22)Date of filing : 22.12.2000

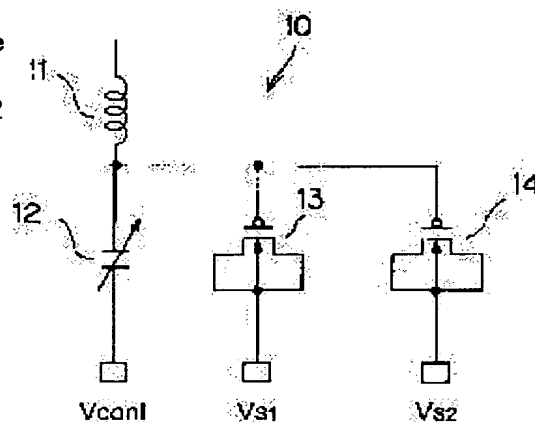
(72)Inventor : YOSHIDA SHINYA

## (54) VOLTAGE CONTROLLED OSCILLATION CIRCUIT

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a voltage controlled oscillation circuit which can suppress the fluctuation of an oscillation frequency to be small with respect to applied voltage to a varactor.

**SOLUTION:** PMOS transistors 13 and 14 are connected in parallel to the varactor 12 to which an inductor 11 is connected. An offset is given to the frequency corresponding to control voltage  $V_{cont}$  to the varactor 12 by control voltages  $VS1$  and  $VS2$ .



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-190709

(P2002-190709A)

(43) 公開日 平成14年7月5日(2002.7.5)

(51) Int.Cl.<sup>7</sup>

H 0 3 B 5/12

識別記号

F I

H 0 3 B 5/12

テームコード\*(参考)

G 5 J 0 8 1

審査請求 未請求 請求項の数 3 O L (全 6 頁)

(21) 出願番号 特願2000-390227(P2000-390227)

(22) 出願日 平成12年12月22日(2000.12.22)

(71) 出願人 501285133

川崎マイクロエレクトロニクス株式会社

千葉県千葉市美浜区中瀬一丁目3番地

(72) 発明者 吉田 慎也

東京都千代田区内幸町2丁目2番3号 川

崎製鉄株式会社内

(74) 代理人 100079175

弁理士 小杉 佳男 (外1名)

Fターム(参考) 5J081 AA02 BB06 CC08 CC30 DD04

DD11 EE02 EE03 EE18 FF18

FF26 KK02 KK09 KK22 KK23

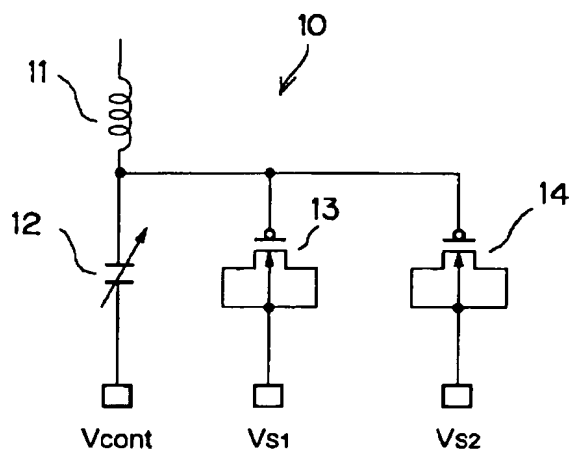
LL04 MM01 MM07

(54) 【発明の名称】 電圧制御発振回路

(57) 【要約】 (修正有)

【課題】 バラクタへの印加電圧に対する発振周波数の変動を小さく抑えることができる電圧制御発振回路を提供する。

【解決手段】 インダクタ11が接続されたバラクタ12と並列にPMOSトランジスタ13、14を接続し、制御電圧 $V_{s1}$ 、 $V_{s2}$ によりバラクタ12への制御電圧 $V_{cont}$ に応じた周波数にオフセットを与える。



## 【特許請求の範囲】

【請求項1】 インダクタとバラクタとの共振により、該バラクタへの印加電圧に応じた周波数の発振信号を生成する電圧制御発振回路において、前記バラクタと並列に接続された、前記周波数にオフセットを与えるための第2のバラクタを備えたことを特徴とする電圧制御発振回路。

【請求項2】 前記第2のバラクタは、MOSゲート容量で構成されたものであることを特徴とする請求項1記載の電圧制御発振回路。

【請求項3】 前記MOSゲート容量に、電源電位とグラウンド電位を選択的に印加するオフセット制御回路を備えたことを特徴とする請求項2記載の電圧制御発振回路。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、インダクタとバラクタとの共振により、そのバラクタへの印加電圧に応じた周波数の発振信号を生成する電圧制御発振回路に関する。

## 【0002】

【従来の技術】従来より、直流レベルの制御電圧信号を入力し、その制御電圧信号に応じた周波数の発振信号をLC共振により生成する電圧制御発振回路（VCO；Voltage Controlled Oscillator）が知られている。このような電圧制御発振器を半導体装置に形成するにあたり、一般的に、スパイラルコイル（インダクタ）とPN接合を用いたバラクタによるデバイスの組合せが採用される。バラクタとは、印加電圧によって容量値が変化する、いわゆる電圧制御可変容量を有するデバイスである。上記電圧制御発振器をPLL（Phase Locked Loop）回路に組み込み、そのPLL回路において、外部から入力される基準信号と内部で生成されるフィードバック信号との位相差を制御するためのアップダウン信号を、上記電圧制御発振回路に入力される制御電圧信号に反映させることにより、それら基準信号とフィードバック信号の周波数および位相を合わせるように動作するということが行なわれている。

【0003】図5は、従来の、半導体装置に形成された電圧制御発振回路を構成するインダクタとバラクタの構造を示す図、図6は、図5に示すインダクタとバラクタの等価回路を示す図である。

【0004】図5には、基板（Pサブストレート）101上に形成されたNウェル102と、そのNウェル102上に形成されたP<sup>+</sup>型拡散層103およびN<sup>+</sup>型拡散層104が示されている。P<sup>+</sup>型拡散層103には、スパイラル状のインダクタ105が接続されている。N<sup>+</sup>型拡散層104には制御電圧V<sub>cont</sub>が印加される。ここで、P<sup>+</sup>型拡散層103とNウェル102とのPN接

合領域（空乏層）に、印加される制御電圧V<sub>cont</sub>の大きさに応じて変化する静電容量を有するバラクタ106が形成される。このバラクタ106とインダクタ105から電圧制御発振回路110が構成される（図6参照）。この電圧制御発振回路110の発振周波数は、 $f = 1 / \{ 2\pi \sqrt{LC} \}$

と表される。但し、L、Cはインダクタ105のインダクタンス値、バラクタ106の容量値を示す。

【0005】上述したように、バラクタ106の静電容量は、印加される制御電圧V<sub>cont</sub>の大きさに応じて変化するため、制御電圧V<sub>cont</sub>を制御することにより電圧制御発振回路110の発振周波数を調整することができる。

## 【0006】

【発明が解決しようとする課題】一般に、LC共振による電圧制御発振回路は、数100MHzからGHz帯域に至るまでの高周波帯域の発振信号生成に用いられる。ここで、電圧制御発振回路を構成するデバイスは、プロセスの変動により特性の影響を受けやすく、例えば、遅延をある程度予測できるインバータチェーンを用いたリングオシレータなどに比べ、ターゲット周波数からずれる可能性が比較的高い。さらに、温度変動等を考慮すると、所望の周波数を得るためには十分な可変周波数幅を確保する必要がある。

【0007】十分な可変周波数幅を確保するためには、バラクタ106に十分な可変容量幅を持たせればよい。しかし、限られた制御電圧幅の中で、このような広い可変幅を持たせようとする、制御電圧V<sub>cont</sub>に対する発振周波数の変動が大きくなり、この電圧制御発振回路が組み込まれたPLL回路では、外部から入力される基準信号と内部で生成されるフィードバック信号との位相差を制御するためのアップダウン信号の変動や、外来ノイズを制御電圧V<sub>cont</sub>が受けることによる位相ノイズ（フェーズノイズもしくはジッタ）が増大するという問題がある。そこで、以下に示す電圧制御発振回路が考えられる。

【0008】図7は、制御電圧に対する発振周波数の変動を小さく抑えるように考慮された電圧制御発振回路を示す図、図8は、図7に示す電圧制御発振回路の、制御電圧により制御される可変周波数幅を示す図である。

【0009】図7に示す電圧制御発振回路120には、前述したインダクタ105とバラクタ106に加え、それらインダクタ105、バラクタ106の接続点であるノードAとグラウンドGNDとの間に、互いに直列に接続されたスイッチ121とコンデンサ122が備えられている。また、ノードAとグラウンドGNDとの間に、互いに直列に接続されたスイッチ123とコンデンサ124も備えられている。スイッチ121、123は、制御信号V<sub>1</sub>、V<sub>2</sub>により切り換えられる。

【0010】この電圧制御発振回路120では、スイッ

チ121, 123がともにオフ状態にある場合は、制御電圧Vcontによる可変周波数幅は、図8に示す長方形aで表される範囲にある。ここで、制御信号V1によりスイッチ121のみオフ状態からオン状態に切り換えられると、制御電圧Vcontによる可変周波数幅は、図8に示す値OF1だけオフセットが与えられて長方形bで表される範囲に移行する。さらに、制御信号V2によりスイッチ122もオフ状態からオン状態に切り換えられると、制御電圧Vcontによる可変周波数幅は、最初の状態から図8に示す値OF2だけオフセットが与えられて長方形cで表される範囲に移行する。このように、図7に示す電圧制御発振回路120では、制御電圧Vcontが取り得る比較的小さな電圧変化で、dで示す十分に大きな可変周波数幅が得られる。従って、制御電圧Vcontに対する発振周波数の変動を小さく抑えることができる。

【0011】しかし、LC共振による電圧制御発振回路は、前述したように数100MHzからGHz帯域に至るまでの高周波帯域の発振信号を生成するものであるため、上記電圧制御発振回路120を構成するスイッチ121, 123を、例えばMOSのトランスファゲートで形成した場合、正常に動作することは困難であり、従ってこの電圧制御発振回路120は現実的でないという問題がある。

【0012】本発明は、上記事情に鑑み、バラクタへの印加電圧に対する発振周波数の変動を小さく抑えることができる電圧制御発振回路を提供することを目的とする。

【0013】

【課題を解決するための手段】上記目的を達成する本発明の電圧制御発振回路は、インダクタとバラクタとの共振により、そのバラクタへの印加電圧に応じた周波数の発振信号を生成する電圧制御発振回路において、上記バラクタと並列に接続された、上記周波数にオフセットを与えるための第2のバラクタを備えたことを特徴とする。

【0014】本発明の電圧制御発振回路は、バラクタと並列に接続された、そのバラクタへの印加電圧に応じた周波数にオフセットを与えるための第2のバラクタを備えたものであるため、バラクタへの印加電圧に応じて、そのバラクタとインダクタのみによる周波数と、第2のバラクタにより与えられたオフセットによる周波数とによる可変周波数幅が得られる。従って、MOSのトランスファゲートで形成されたスイッチによりバラクタにコンデンサを接続して可変周波数幅を得る技術と比較し、そのスイッチが正常に動作することは困難であるというような問題はなく、現実的にバラクタへの印加電圧に対する発振周波数の変動を小さく抑えることができる。

【0015】ここで、上記第2のバラクタは、MOSゲート容量で構成されたものであることが好ましい。

【0016】第2のバラクタをMOSゲート容量で構成すると、PN接合容量で構成した場合と比べて大きな容量が簡単に得られ、またレイアウト面積も小さくできる。また、上記MOSゲート容量に、電源電位とグラウンド電位を選択的に印加するオフセット制御回路を備えてもよい。

【0017】このようなオフセット制御回路を備えると、上記周波数にオフセットを簡単に与えることができる。

【0018】

【発明の実施の形態】以下、本発明の実施形態について説明する。

【0019】図1は、本発明の電圧制御発振回路の第1実施形態を示す図である。

【0020】図1に示す電圧制御発振回路10には、互いに直列に接続されたインダクタ11とバラクタ12が備えられている。バラクタ12には制御電圧Vcontが印加される。また、電圧制御発振回路10には、インダクタ11とバラクタ12との接続点にゲートが接続されるとともに、ドレイン、ソース、バックゲートが共通接続されたPMOSトランジスタ13が備えられている。バックゲートには制御電圧Vs1が印加される。さらに、電圧制御発振回路10には、インダクタ11とバラクタ12との接続点にゲートが接続されるとともに、ドレイン、ソース、バックゲートが共通接続されたPMOSトランジスタ14も備えられている。このバックゲートには制御電圧Vs2が印加される。尚、PMOSトランジスタ13, 14が、本発明にいう第2のバラクタの一例に相当する。

【0021】図2は、図1に示すPMOSトランジスタの、ゲートとバックゲートとの間に印加される電圧に対するMOSゲート容量を示す図である。

【0022】図2の横軸は、PMOSトランジスタ13もしくはPMOSトランジスタ14（以下、単にPMOSトランジスタと記述する）のゲートとバックゲートとの間に印加される電圧Vgsを示し、縦軸は、PMOSトランジスタのゲート容量Cgateを示す。

【0023】PMOSトランジスタのゲート容量Cgateは、そのPMOSトランジスタのゲートとバックゲートとの間に印加される電圧Vgsによって大きく変化する。即ち、図2に示すように、電圧Vgsが大きい場合（PMOSトランジスタがオン状態にある場合）は、そのPMOSトランジスタのゲートにチャネルが形成されるためゲート容量Cgateは比較的大きい。一方、電圧Vgsが小さい場合（PMOSトランジスタがオフ状態にある場合）は、チャネルが形成されないためゲート容量Cgateは小さい。また、図2に示す特性カーブのうちの、遷移する部分から比較的近かった、いわゆる飽和状態の部分は、チャネルの状態が安定しているため、多少の電圧変動では容量値は変化しない。従って、

図1に示すPMOSトランジスタ13,14の各バックゲートに印加される制御電圧 $V_{s1}$ ,  $V_{s2}$ を、電源電圧 $V_{DD}$ とグラウンドGNDとの2値とし、この2値の組み合わせにより、バラクタ12への制御電圧 $V_{cont}$ に応じた周波数にオフセットを与えると、バラクタ12への制御電圧 $V_{cont}$ に応じて、インダクタ11, バラクタ12のみによる周波数と、PMOSトランジスタ13,14により与えられたオフセットによる周波数とによる可変周波数幅が簡単に得られる。従って、MOSのトランスファゲートで形成されたスイッチによりバラクタにコンデンサを接続して可変周波数幅を得る技術と比較し、そのスイッチが正常に動作することは困難であるというような問題はなく、バラクタ12に印加する制御電圧 $V_{cont}$ に対する発振周波数の変動を小さく抑えることができる。

【0024】図3は、本発明の電圧制御発振回路の第2実施形態を示す図である。

【0025】図3に示す電圧制御発振回路20は、昨今の無線通信機器のPLL回路に組み込まれてなる差動型の電圧制御発振回路であり、この電圧制御発振回路20には、電源 $V_{DD}$ に接続された定電流源21と、その定電流源21とグラウンドGNDとの間に配置されたインダクタ22\_1とNMOSトランジスタ25\_1が備えられている。また、この電圧制御発振回路20には、定電流源21とグラウンドGNDとの間に配置されたインダクタ22\_2とNMOSトランジスタ25\_2が備えられている。さらに、電圧制御発振回路20には、インダクタ22\_1とNMOSトランジスタ25\_1の接続点と、インダクタ22\_2とNMOSトランジスタ25\_2の接続点との間にバラクタダイオード24\_1, 24\_2が備えられている。これらバラクタダイオード24\_1, 24\_2の接続点には制御電圧 $V_{cont}$ が印加される。また、電圧制御発振回路20には、インダクタ22\_1とNMOSトランジスタ25\_1の接続点、インダクタ22\_2とNMOSトランジスタ25\_2の接続点に接続された、詳細は後述するオフセット部23\_1, 23\_2が備えられている。

【0026】この電圧制御発振回路20は、インダクタ22\_1とバラクタダイオード24\_1、およびインダクタ22\_2とバラクタダイオード24\_2の2つの共振回路をクロスカップルに組み合わせてNMOSトランジスタ25\_1, 25\_2を交互にオン、オフさせることにより180°位相のずれた信号 $V_{op}$ ,  $V_{on}$ を出力するものである。以下、図4を参照して詳細に説明する。

【0027】図4は、図3に示すオフセット部23\_1の回路構成を示す図である。

【0028】尚、オフセット部23\_2の回路構成も、この図3に示すオフセット部23\_1の回路構成と同じである。

【0029】図3に示すオフセット部23\_1には、インダクタ22\_1とバラクタダイオード24\_1との接続点にゲートが接続されるとともに、ドレイン、ソース、バックゲートが共通接続されたPMOSトランジスタ23\_11が備えられている。このバックゲートは、スイッチ23\_12を経由して電源 $V_{DD}$ に接続され、スイッチ23\_13を経由してグラウンドGNDに接続される。また、オフセット部23\_1には、インダクタ22\_1とバラクタダイオード24\_1との接続点にゲートが接続されるとともに、ドレイン、ソース、バックゲートが共通接続されたPMOSトランジスタ23\_14が備えられている。このバックゲートは、スイッチ23\_15を経由して電源 $V_{DD}$ に接続され、スイッチ23\_16を経由してグラウンドGNDに接続される。これらスイッチ23\_12, 23\_13, 23\_15, 23\_16が本発明にいうオフセット制御回路の一例に相当する。

【0030】ここで、電源電圧 $V_{DD}=2.5V$ 、インダクタ22\_1とバラクタダイオード24\_1との接続点における電圧 $V_a=0.6V$ とする。最初の時点では、スイッチ23\_12, 23\_15がオン状態、スイッチ23\_13, 23\_16がオフ状態に設定されている。このため、PMOSトランジスタ23\_11, 23\_14にはともに電源電圧 $V_{DD}$ が印加され、これによりそれぞれPMOSトランジスタ23\_11, 23\_14にはチャネルが形成されている。従って、電圧制御発振回路20におけるオフセット容量は最大であり、最小の周波数の発振信号 $V_{op}$ ,  $V_{on}$ が出力される。

【0031】電圧制御発振回路20が組み込まれたPLL回路において、制御電圧 $V_{cont}$ が変動して電源電圧 $V_{DD}$ に達すると、スイッチ23\_12がオフ状態、スイッチ23\_13がオン状態に切り換えられる。尚、制御電圧 $V_{cont}$ の大きさの検出は簡単なコンパレータを用意し、このコンパレータに制御電圧 $V_{cont}$ を入力して電源電圧 $V_{DD}$ と比較すればよい。

【0032】ここで、PLL回路において位相差が所定値以上ずれているアンロック状態に未だある場合は、スイッチ23\_15がオフ状態、スイッチ23\_16がオン状態に切り換えられる。このようにして、周波数が高くなる方向にオフセットを与える。尚、上記スイッチ23\_12, 23\_13, 23\_15, 23\_16は、MOSのトランスファゲートで構成してもよい。

【0033】

【発明の効果】以上説明したように、本発明によれば、バラクタへの印加電圧に対する発振周波数の変動を小さく抑えることができる。従って、本発明の電圧制御発振回路が組み込まれたPLL回路におけるアップダウン信号の変動や外来のノイズによる位相ノイズを低減することができる。さらに、オフセット容量により、電圧制御発振回路全体で見た可変周波数範囲を大きく取ることが

できる。

【図面の簡単な説明】

【図1】本発明の電圧制御発振回路の第1実施形態を示す図である。

【図2】図1に示すPMOSTランジスタの、ゲートとバックゲートとの間に印加される電圧に対するMOSゲート容量を示す図である。

【図3】本発明の電圧制御発振回路の第2実施形態を示す図である。

【図4】図3に示すオフセット部23\_1の回路構成を示す図である。

【図5】従来の、半導体装置に形成された電圧制御発振回路を構成するインダクタとバラクタの構造を示す図である。

【図6】図5に示すインダクタとバラクタの等価回路を示す図である。

【図7】制御電圧に対する発振周波数の変動を小さく抑\*

\*えるように考慮された電圧制御発振回路を示す図である。

【図8】図7に示す電圧制御発振回路の、制御電圧により制御される可変周波数幅を示す図である。

【符号の説明】

10, 20 電圧制御発振回路

11, 22\_1, 22\_2 インダクタ

12 バラクタ

13, 14, 23\_11, 23\_14 PMOSTランジスタ

21 定電流源

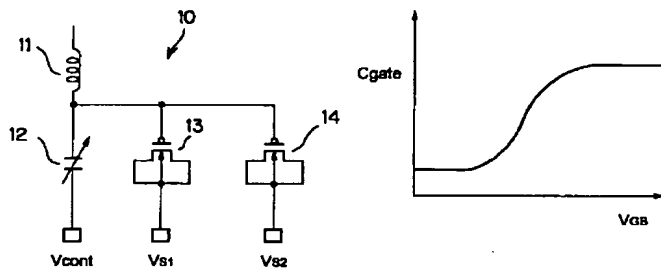
23\_1, 23\_2 オフセット部

23\_12, 23\_13, 23\_15, 23\_16 スイッチ

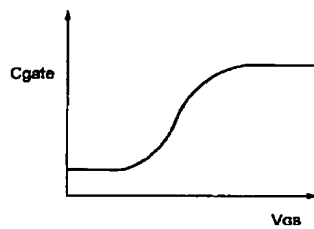
24\_1, 24\_2 バラクタダイオード

25\_1, 25\_2 NMOSTランジスタ

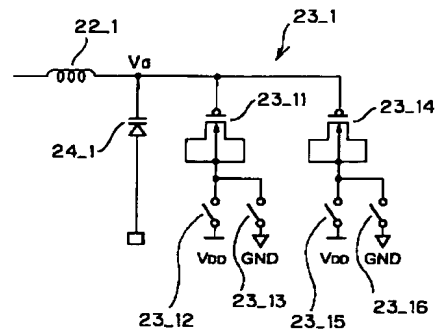
【図1】



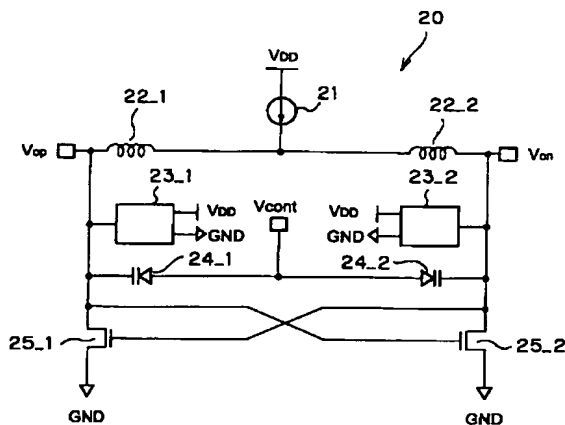
【図2】



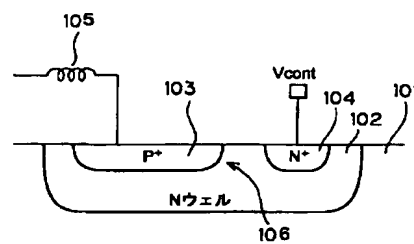
【図4】



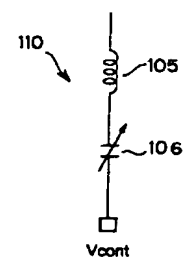
【図3】



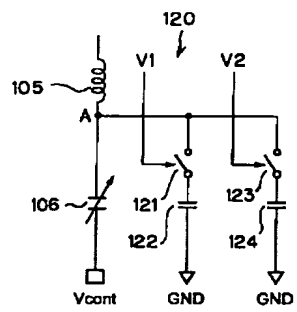
【図5】



【図6】



【図7】



【図8】

